



JAPANESE PATENT OFFICE

IDS

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07152017

(43)Date of publication of application: 16.06.1995

(51)Int.Cl.

G02F 1/133
G02F 1/133
G09G 3/36

(21)Application number: 05325850

(71)Applicant:

SONY CORP

(22)Date of filing: 30.11.1993

(72)Inventor:

NITO KEIICHI

YASUDA AKIO

TAKANASHI HIDEHIKO

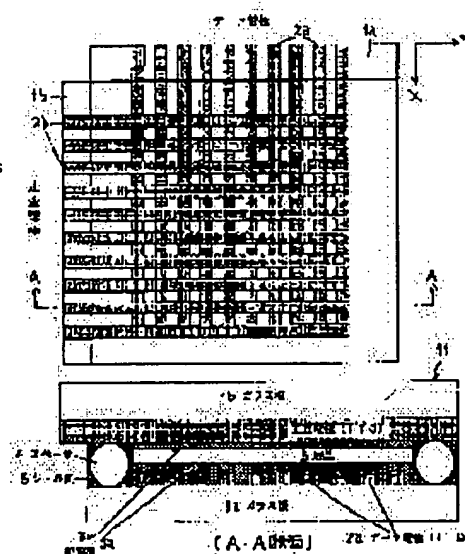
YOU EIHO

(54) DRIVING METHOD OF LIQUID CRYSTAL ELEMENT AND ITS LIQUID CRYSTAL ELEMENT

(57)Abstract:

PURPOSE: To furthermore improve an analog gradation characteristic of a liquid crystal element, to realize a liquid crystal display element of a large area at a low cost, to make it possible to drive the liquid crystal element at a full-color video rate and to similarly manifest the gradation characteristic even if the element does not have fine regions of different threshold voltages at the time of combining respective driving systems.

CONSTITUTION: This liquid crystal element is constituted by arranging a pair of substrates 1a, 1b provided with transparent electrodes 2a, 2b and oriented films 3a, 3b in this order so as to face each other apart a prescribed spacing and injecting ferroelectric liquid crystals 5 into the spacing therebetween. This driving method comprises driving the liquid crystal element in which regions of different threshold voltages for switching the liquid crystals 5 are finely distributed, by a pulse voltage and/or pulse width modulation system, pixel electrode division system or time integrating system.



BEST AVAILABLE COPY

1993-1994

(19) 日本特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許公開公開番号

特開平7-152017

(43) 公開日 平成7年(1995)6月16日

(5) IntCl ⁴	G 0 2 F	1/133	G 0 9 G	3/36	識別記号	F I	室内設置番号	技術表示箇所
					5 7 5			
					5 6 0			

審査請求 未請求 請求項の数16 F D (全 23 頁)

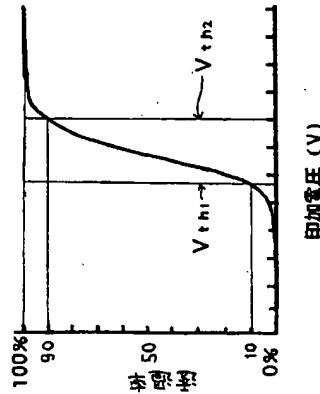
(21) 出願番号	特開平5-325850	(71) 出願人	00002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成5年(1993)11月30日	(72) 発明者	仁藤 敬一 東京都品川区北品川6丁目7番35号 ソニ 株式会社内
		(72) 発明者	安田 孝夫 東京都品川区北品川6丁目7番35号 ソニ 株式会社内
		(72) 発明者	高梨 英彦 東京都品川区北品川6丁目7番35号 ソニ 株式会社内
		(74) 代理人	弁護士 渡辺 宏

(54) (発明の名称) 液晶素子の駆動方法及びその液晶素子

(57) 【要約】

【構成】 透明電極2 a、2 b及び配向膜3 a、3 bをこの順に設けた一対の基板1 a、1 bが所定の間隙を置いて対向配置され、前記間隙内に液晶電性液晶5が注入されている液晶素子であって、この液晶をスイッチングするためのしきい値電圧の異なる領域が微細に分布している液晶素子をバリス電圧及び/又はバリス幅変調方式、画素電極分割方式又はタイムインテンシジョン方式によって駆動する駆動方法、及びその液晶素子。

【効果】 液晶素子のアナログ階調性を一層向上させることができ、かつ、大面積の液晶表示素子を低コストに実現し、そのフルカラービデオレートでの駆動も可能にするものである。また、上記の各駆動方式を組み合わせたときは、上述のしきい値電圧の異なる微細領域を有していなくても、階調性を同様に発現することができる。



液晶電性液晶のしきい値特性

(2)

【特許請求の範囲】

【請求項1】 一対の基板間に液晶が配され、この液晶をスイッチングするためのしきい値電圧の異なる領域が微細に分布している液晶素子をマトリクス駆動によって駆動するに際し、アドレスシグナルを走査電極に印加すると同時に、画素の階調に対応してバリス電圧及び/又はバリス幅を変調したデータ信号をデータ電極に印加する、液晶素子の駆動方法。

【請求項2】 請求項1に記載した液晶素子のマトリクス駆動に際し、1画素を構成するデータ電極を互いに異なる面長の複数の部分に分割し、アドレスシグナルを走査電極に印加すると同時に、画素の階調に対応したデータ信号の組み合わせを前記の分割された複数のデータ電極部分に印加する、液晶素子の駆動方法。

【請求項3】 請求項1に記載した液晶素子のマトリクス駆動に際し、画素の階調に対応して、1フレーム又は1フィールド内で1画素当たり複数回のラインアドレスシグナルを繰り返す、液晶素子の駆動方法。

【請求項4】 請求項2に記載した駆動方法と、請求項3に記載した駆動方法とを組み合わせた、液晶素子の駆動方法。

【請求項5】 請求項4に記載した駆動方法において、1画素を構成するデータ電極の分割数をnとし、1フレーム又は1フィールド内の1画素当たりのラインアドレスシグナル回数をmとしたとき、前記データ電極の分割部分の面積比を1:(m+1):...:(m+1)n-1とする、液晶素子の駆動方法。

【請求項6】 請求項1に記載した駆動方法と、請求項3に記載した駆動方法とを組み合わせた、液晶素子の駆動方法。

【請求項7】 請求項6に記載した駆動方法において、1画素の幾何的な階調数nと(m+1)n-1を与える最大整数n又は1画素の非幾何的な階調数n+1を与える最大整数nと、1フレーム又は1フィールド内の1画素当たりのラインアドレスシグナル回数mとを組み合わせ、1画素の透過率比を1:(m+1):...:(m+1)n-1とする、液晶素子の駆動方法。

【請求項8】 請求項1に記載した駆動方法と、請求項2に記載した駆動方法とを組み合わせた、液晶素子の駆動方法。

【請求項9】 請求項8に記載した駆動方法において、階調したデータ信号による1画素の階調数1と、1画素を構成するデータ電極の分割数nとを組み合わせ、このデータ電極の分割部分の面積比を1:1:...:1n-1とする、液晶素子の駆動方法。

【請求項10】 請求項1に記載した駆動方法と、請求項2に記載した駆動方法と、請求項3に記載した駆動方法とを組み合わせた、液晶素子の駆動方法。

【請求項11】 請求項10に記載した駆動方法において、

変調したデータ信号と1画素を構成するデータ電極の分割とを組み合わせた1画素の幾何的な階調数nと(m+1)n-1を与える最大整数n又は1画素の非幾何的な階調数n+1を与える最大整数nと、1フレーム又は1フィールド内の1画素当たりのラインアドレスシグナル回数mとを組み合わせ、1画素の透過率比を1:(m+1):...:(m+1)n-1とする、液晶素子の駆動方法。

【請求項12】 バッファマトリクス液晶ディスプレイの画素にカラーフィルタを組み合わせた、請求項1~11のいずれか1項に記載した駆動方法。

【請求項13】 バッファマトリクス液晶ディスプレイに対して、1フレーム又は1フィールド内で各色のバックライトをそれぞれ少なくとも1回切り替え、各色に対応した階調を選択する、請求項1~11のいずれか1項に記載した駆動方法。

【請求項14】 透明電極及び配向膜をこの順に設けた一対の基板が所定の間隙を置いて対向配置され、前記間隙内に液晶電性液晶が注入されている液晶素子であって、反転ドメインによる透過率が25%であるときに2μm以上の大きさのドメインが1μm2の視野の中に300個以上存在し、かつ、そのドメイン内のしきい値電圧値が透過率10~90%の範囲で2ボルト以上であり、これによって階調表示を行えるように構成した液晶素子をマトリクス駆動する、請求項1~13のいずれか1項に記載した駆動方法。

【請求項15】 請求項1に記載した液晶素子以外の液晶素子を使用する、請求項4~13のいずれか1項に記載した、液晶素子の駆動方法。

【請求項16】 請求項1~15のいずれか1項に記載した駆動方法によって駆動されるように構成した液晶素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一対の基板間に液晶が配されている液晶素子であって、特に、透明電極及び配向膜をこの順に設けた一対の基板が所定の間隙を置いて対向配置され、前記間隙内に液晶電性液晶が注入されている液晶素子の駆動方法、及びその液晶素子に関するものである。

【0002】

【従来の技術】 現在商品化されているTN(ツイストネマチック)液晶素子は、TFT(薄膜トランジスタ)等のアクティブマトリクス方式での駆動によって一定の階調性を発現することができる。しかし、TFT製造プロセスにおける歩留り及びコストの問題から、大面積の表示素子の開発が課題となっている。

【0003】 これに対し、表面安定化及安定型液晶電性液晶(F L C: ferroelectric liquid crystal)を用いた表示素子は、TFT等のアクティブマトリクスを必要とせず、低コスト、大面積の表示素子を実現できる可

(5)

【0028】従って、誘電率の値が液晶よりも小さい超微粒子を追加すると ($\epsilon_2 < \epsilon_1$)、液晶層の全厚 d_{gap} ($p = d_1/d_2$) よりも小さな微粒子 (d_2) を入れることにより、

$$E_{\text{eff}} < E_{\text{gap}}$$

となり、液晶には、微粒子を入れない場合 (E_{gap}) に比較して小さな電界 E_{eff} が作用する。その反対に、誘電率の値が液晶より大きな微粒子を追加することにより ($\epsilon_2 > \epsilon_1$)、

$$E_{\text{eff}} > E_{\text{gap}}$$

となり、液晶には、微粒子を入れない場合 (E_{gap}) に比較して大きな電界 E_{eff} が作用する。

【0029】以上をまとめると、次の通りとなる。

$$\epsilon_1 > \epsilon_2 \text{ のとき } \rightarrow E_{\text{eff}} < (V_{\text{gap}} / (d_1 + d_2))$$

$$= V_{\text{gap}} / d_{\text{gap}} = E_{\text{gap}}$$

$$\epsilon_1 = \epsilon_2 \text{ のとき } \rightarrow E_{\text{eff}} = E_{\text{gap}}$$

$$\epsilon_1 < \epsilon_2 \text{ のとき } \rightarrow E_{\text{eff}} > E_{\text{gap}}$$

【0030】いずれにしても、超微粒子の添加によって、液晶自体に加わる実効電界 E_{eff} は変化することになり、超微粒子が存在する領域とそうでない領域とで液晶に加わる実効電界が異なることになる。この結果、同電界 E_{gap} を作用させても、それら領域間では反転ドメインが生じる領域と生じない領域が存在し、図11

(A) で示した如きスターライต์デクストラ構造を再現することができる。

【0031】このことから、本発明によるスターライットデクストラ構造は連続階段を実現するのに好適なものとなり、超微粒子の添加で印加電圧 (大きさ、パルス幅等) を制御する (即ち、2種類以上の電圧を印加すること) によって多様な透過率 (即ち、2種類以上の階段レベル) を得ることができる。これに反し、従来のように単に微粒子を存在させるだけでは、図11 (B) の如きものにしか得られず、特に微小な ($2 \mu\text{m}$ 程度の) キヤップ中に $0.3 \sim 2 \mu\text{m}$ の微粒子を存在させても目的とする表示性能が得られないことが明らかである。また、微小なキヤップでなくとも微粒子部分による色ムラが生じず、また、このように、後記の比較例で詳細に説明する。

【0032】本発明は、上記したスターライットデクストラ構造を有する液晶素子、特にパッシブマトリックス駆動可能な液晶ディスプレイにおいて、上述した各駆動方法 (パルス電圧又はパルス幅変調方式、画素電圧分割方式又はタイムインテグレーション方式) を適用することによって、階調性を一層向上させることができる。かつ、大面積の液晶表示素子を低コストに実現し、そのフルカラービデオレートでの駆動も可能にするものである。

【0033】即ち、上述したスターライットデクストラ構造の液晶素子のアナログ階調性は、本発明による駆動方

法に基づいて、変調されたデータ信号を画素の階調に対応してデータ電極に印加すれば、結果にかつとも様に得ることができ、これは、画素電極を複数に分割し、各分割部分の面積比を算出させて、それぞれに画素の階調に対応したデータ信号を印加することによって実現できる。また、画素の階調に対応して1フレーム又は1フィールド内で画素当たり複数回のラインアドレッシング (データ信号の書き込み) を繰り返すことによっても実現できる。

【0034】そして、本発明に使用する液晶素子は、TFT等が必要としないパッシブマトリックス駆動が可能であり、大面積の表示素子として低コストに提供できるものである。

【0035】本発明に使用する液晶素子において、液晶に添加する微粒子としては、図12に示した対向する透明電極2a、2bの間に存在する液晶5に印加される実効電界強度に分布を持たせることができるような微粒子であればよく、例えば誘電率の異なる複数の材質の微粒子を混合して使用することができる。このように誘電率の異なる微粒子を存在させることにより、各画素内に誘電率の分布が形成される。この結果、上記したように、画素の透明電極2a、2b間に均一に外部電界を印加した場合でも、その画素内に液晶5に印加される実効電界強度には分布があり、液晶 (特に誘電性液晶) の双安定状態をスイッチングするためのしきい値電圧の幅を広げることができる。一画素内でアナログ階調表示が可能となる。

【0036】また、使用する微粒子として、誘電率が同じものを使用する場合には、大きさに分布をもたせればよい。このように、誘電率は異ならないが大きさが異なる微粒子を存在させることにより液晶層の厚みに分布ができる。その結果、一画素の透明電極2a、2b間に均一に外部電界を印加した場合でも、その画素内の液晶に印加される実効電界強度には分布ができ、一画素内でアナログ階調表示が可能となる。微粒子の大きさの分布について、その分布の広がりにはある程度大きい方が、優れたアナログ階調表示ができるので好ましい。

【0037】本発明の液晶素子では、液晶に添加する微粒子は $n \geq 2.0$ 以上の表面を有することが望ましいが、これは、 $n \geq 2.0$ 未満では誘電性が強すぎ、プロトンにより液晶が劣化しやすいからである。

【0038】また、この微粒子は、50重量%以下、0.1重量%以上の割合で液晶に添加されているのが望ましい。添加量が多すぎると、凝集してスターライットデクストラ構造が実現しにくく、また液晶の注入が困難となり、

【0039】使用可能な微粒子はカーボンブラック及び/又は酸化チタンからなっており、またカーボンブラックがファーマネス法により作製されたカーボンブラックであり、酸化チタンがアモルファス酸化チタンである

(6)

のよい。ファーマネス法により作製されたカーボンブラックは、微粒子の粒度分布が比較的に、またアモルファス酸化チタンは、表面性が良く、耐久性にも優れている。

【0040】使用可能な微粒子は、凝集していない一次微粒子の状態、液晶5 (キヤップ) の半分以上の大きさ ($0.4 \mu\text{m}$ 以下、特に $0.1 \mu\text{m}$ 以下) が好ましい。また、その粒度分布によって階調表示特性をコントロールできるが、粒度分布の標準偏差が 9.0nm 以上であることが適当である。微粒子の比重が液晶の $0.1 \sim 10$ 倍であることが望ましい。液晶中に分散させた際の沈降防止の点で望ましく、また、微粒子が良分散性を示すようにシランカップリング剤等で表面処理されているのがよい。

【0041】本発明において、微粒子は対向する電極間に存在させる必要があるが、その場所は特に限定されず、液晶中でも、液晶配向膜中又は液晶配向膜上でもよい。

【0042】また、本発明は、上述した本発明による各駆動方法を相互に組み合わせさせて液晶素子を駆動する方法も提供されるものである。この組み合わせによる駆動方法では、上記したスターライットデクストラ構造を使用することが望ましいが、必ずしもそれを使用しなくても階調性を再現することができる。

【0043】即ち、駆動方法の組み合わせとしては、データ電極を分割した上述の面積階段方式と、上述のタイムインテグレーション階調駆動を組み合わせた階調駆動方法がある。

【0044】この階調駆動方法の場合、1画素を構成するデータ電極の分割数を n とし、1フレーム又は1フィールド内の1画素当たりのラインアドレッシング回数を m としたとき、総記データ電極の分割部分の面積比を $1 : (m+1) : \dots : (m+1)^{n-2} : (m+1)^{n-1}$ とするの

が、階調性向上の点で望ましい。【0045】また、別の駆動方法として、走査電極にアドレッシング信号が印加されるのと同時に、その画素の階調に対応したパルス電圧及び/又はパルス幅を印加したデータ信号を印加して階調を達成した上述の1画素内階調と、上述のタイムインテグレーション階調駆動とを組み合わせた階調駆動方法がある。

【0046】この駆動方法においては、1画素の総形的な階段数 $2(m+1)^{n-1} + 1$ を与える最大整数 n 又は1画素の非線形的な階段数 $n+1$ を与える最大整数 n と、1フレーム又は1フィールド内の1画素当たりのラインアドレッシング回数 m とを組み合わせた、1画素の透過率比を $1 : (m+1) : \dots : (m+1)^{n-2} : (m+1)^{n-1}$ とするの

が、階調性向上の点で望ましい。【0047】他の駆動方法として、走査電極にアドレッシング信号が印加されるのと同時に、その画素の階調

に対応したパルス電圧及び/又はパルス幅を変調したデータ信号を印加して階調を達成した上述の1画素内階調と、1画素を構成するデータ電極の面積比を変え、アドレッシング信号が印加されるのと同時に、その画素の階調に対応したデータ電極の組み合わせにパルス電圧を印加して階調を達成した上述の面積階段駆動とを組み合わせた階調駆動方法がある。

【0048】この場合、変調したデータ信号による1画素の階段数 $2(m+1)^{n-1} + 1$ を与える最大整数 n 又は1画素の非線形的な階段数 $n+1$ を与える最大整数 n と、1フレーム又は1フィールド内の1画素当たりのラインアドレッシング回数を m としたとき、総記データ電極の分割部分の面積比を $1 : (m+1) : \dots : (m+1)^{n-2} : (m+1)^{n-1}$ とするの

が、階調性向上の点で望ましい。

【0049】更に他の駆動方法としては、走査電極にアドレッシング信号が印加されるのと同時に、その画素の階調に対応したパルス電圧、パルス幅を変調したデータ信号を印加して階調を達成した上述の1画素内階調と、上述のタイムインテグレーション階調駆動と、1画素を構成するデータ電極の面積比を変え、アドレッシング信号が印加されるのと同時に、その画素の階調に対応したデータ電極の組み合わせにパルス電圧を印加して階調を達成した上述の面積階段駆動とを組み合わせた階調駆動方法がある。

【0050】この駆動方法においては、変調したデータ信号と1画素を構成するデータ電極の分割とを組み合わせた階調性向上の点で望ましい。【0051】また、本発明は、上述の各駆動方法を組み合わせるフルカラー表示を行うことができる。

【0052】即ち、上述の方法で駆動されるパッシブマトリックス液晶ディスプレイの画素にR、G、Bのカラーフィルタを組み合わせた、或いは、上述の方法で駆動されるパッシブマトリックス液晶ディスプレイ (但し、カラーフィルタなし) に対して、1フレーム又は1フィールド内で各色 (R、G、B) のバックライトをそれぞれ少なくとも1回切り替え、各色に対応した階調を選択することができる。

【0053】本発明はまた、上述した各駆動方法により駆動されるように構成した液晶素子も提供するものである。液晶素子としては、例えば図12に示した構成では図28に示した従来の構造のいずれでもよいが、図12の構造がスターライットデクストラを再現する点で望ましい。

【0054】この液晶素子は、常法に従って製造することができる。例えば、ガラス基板にパッシブ法により形成したITO層を形成し、フォトリソグラフィにより所定の

(7)

マチャック相温度の流動性を示す状態で減圧下で注入する。液晶注入後、徐冷し、注入孔周囲のガラス基板上の液晶を除去し、注入孔にシリコン樹脂を注入する。流動性を液晶素子を作製する。

【0061】

【実施例】以下、本発明を実施例について更に詳細に説明する。

【0062】実施例1

単純X-Yマトリックス方式のパネルの作製法：セルの構成は、具体的には図1に示す通りであった。すなわち、透明ガラス基板（コーニング7059、0.7mm厚）1

a、1b上に透明電極（100Ω/□のITO）2a、2bを付け、透明電極をエッチングにより短冊状に分割し、マチャック電極2aと走査電極2bを形成した。

【0063】さらにその上に、液晶配向膜としてSiO₂の原料蒸着膜3a、3bを形成した。SiO₂の原料蒸着膜の形成においては、真空蒸着装置内に、SiO₂蒸着源から鉛直上に基板を配し、鉛直の線と基板法線のなす角を85度として設置した。SiO₂を基板温度170℃で真空蒸着後、300℃、1時間の焼成をおこなった。

【0064】このようにして作製した配向膜付の基板を、そのマチャック電極と走査電極の配向処理方向が対向面で反平行となり、かつマチャック電極と走査電極の電極配列が直交するように組み、そのスペーサとして目的ギャップ長に合わせたガラスビーズ（真糸球：直径0.8~3.0μm（触媒化成工業（株）製））4を用いた。ここでは、配向処理方向を反平行に組んだが、平行に組んでも構わない。

【0065】スペーサは、透明基板の大きさにより小さい面積の場合は周囲を被覆するシール材（UV硬化型の接着剤（フオトレック：セキスイ化学（株）製））6中に0.3wt%程度分散させることにより、基板間のギャップを制御した。更に基板面積が大きい場合には、上記真糸球を基板上に平均密度で100個/㎠散布したのち、ギャップをとり、液晶の注入孔を確保して上記シール剤でセル周囲を被覆した。

【0066】注入されるべき液晶5は、例えば強誘電性液晶（チソソ社製のCS-1014）1gにキャポット社製のカーボンブラックMogulを10mg添加し、等方相温度で超音波ホモジナイザを用いて均一に分散させた液晶組成物、又は微粒子の添加していない同強誘電性液晶を用いた。カーボンブラックの添加量は種々変えることができる。

【0067】その後、微粒子（上記カーボンブラック）を添加した液晶組成物あるいは強誘電性液晶組成物を、等方相温度あるいはカイラルネマチック相温度の流動性を示す状態で減圧下で注入した。液晶注入後、徐冷し、注入孔周囲のガラス基板上の液晶を除去したのち、エポキシ系の接着剤で封止し、強誘電性液晶素子を作製した。

【0068】こうして作製したパネル11を表示素子として用いるためには、図2に示すように、バックライト12、偏光板13、液晶パネル11、偏光板14の順に積層することが必要である。ここで、位置関係として重要なことは、偏光板の偏光方向と液晶の光軸との関係であり、液晶のスイッチングによりバックライトからの光をスイッチし、コントラストが最大になるように配置するのが好ましい。

【0069】ここでは強誘電性液晶の例を示す。すなわち、図3に示すように、双安定の一方の状態の遷移軸に偏光板13の偏光方向を平行にし、偏光板14の偏光方向を直交させる。このとき、偏光板13から出た光は遷移軸と平行であるため、直線偏光は複屈折の影響を受けずに液晶パネルを通過し、偏光板14に入射される。偏光板14では、偏光板13の偏光方向と同じ成分は通過できないので、この状態が黒レベルとなる。

【0070】双安定の他方の状態にスイッチした場合、CS-1014系では遷移軸が約45度回転するが、このとき偏光板13を通過した光の偏光方向は液晶の遷移軸と一致しないため、複屈折の影響を受け、下記の式の関係に示したように、液晶中で直線偏光→楕円偏光→楕円偏光→楕円偏光→直線偏光（90度回転）と偏光面を回転し、最終的に偏光板14の偏光透過軸と一致し、偏光板14を通過し、白状態となる。

$$\begin{aligned} I &= I_0 \cdot \sin^2(2\theta) \cdot \sin^2(\pi \cdot \Delta n \cdot d / \lambda) \\ \Delta n &= n_e - n_o \end{aligned}$$

ここで

I₀：偏光板13を通過後の光の強度、
I：偏光板14を通過後の光の強度、
θ：コーン角（状態1と状態2の遷移軸のなす角）、
n_e：異常光の屈折率、
n_o：常光の屈折率、
Δn：波長λでの複屈折率、
d：セルギャップ（液晶層の厚さ）。

【0072】この式に示されるように、θを連続的に制御できればIを連続的に変えることができる。すなわち、階層表示が達成される。この方法に関しては、既に単安定強誘電性液晶として知られている。しかし、米国特許第4,367,924号でクラークらが提案した表面安定化型双安定強誘電性液晶素子では、その双安定性のため、このθは2つの値しかとることが出来ず、そのため、白と黒の2階層表示となり、このままでは階層性は達成されない。

【0073】画素内階層方式（パルス電圧変調方式）：そこで、本実施例では、上記した微粒子（カーボンブラック）を添加した強誘電性液晶組成物を、図1（図2）に示したように構成し、次のようにして駆動した。

【0074】図4に示すように、それぞれのY方向の透

(8)

明電極2bに画素の表示を選択する電気信号、X方向の透明電極2aに表示する情報の内容、白もしくは黒、あるいは中間階層を表示するための電気信号を印加した。【0075】Y方向に印加される選択電気信号の波形は、次の通りであった。

1. 選択パルスは正負対称な二パルスから構成される。そのパルス電圧強度および高さは図10に示した液晶素子のしきい値によって決定される。パルス幅は液晶の応答速度で決定される。パルスの高さは階層表示をしている液晶のモノメインにスターライテクトクチャが出力する電圧：直交偏光板間の液晶セルの透過率変化（T_r）と印加電圧（V）との関係のT_r-Vカーブの電圧しきい値V_{thlow}である。

【0076】2. 選択パルスの前に対称なリセットパルスを設定する。リセットパルスの幅は選択パルスの2倍であり、その高さは液晶を完全にスイッチングさせるための電圧：T_r-VカーブにV_{thhigh}にΔVを足したものである。ΔVは、後述する基板1bのX方向の電極に印加される最大信号電圧とする。

【0077】また、X方向に印加されるデータ用の電気信号の波形は、次の通りであった。

1. 電気信号は正負対称のパルス二つによって構成される。パルス幅は選択信号の幅と等しくする。信号電圧の高さV_Sは表示する液晶のグレーレベルによって0からV_{thhigh}-V_{thlow}の間で変化する。

【0078】2. 信号電圧パルスの極性は、選択パルスの極性と逆になるように設定する。このことにより、デイスプレィ上の（n, m）にある画素に印加される電圧はV_S+V_{thlow}の和となり、V_{thhigh}-V_{thlow}の間で変化する。

【0079】図5には、上記した電圧を印加した時に得られた液晶セルの透過率の変化を示している。ここで使ったセルは、配向膜としてSiO₂の蒸着方向が平行になるように作製された。セルギャップは1.6μmであった（ギャップ測定は大型電子（株）製のMS-2000膜厚測定装置を使用した）。このセルでは、カーボン微粒子：直交偏光板間に設置し、電圧を印加しないメセルはモリ状態である。液晶セルの透過率が最低になるように、セル方向を設定した。

【0080】信号パルスの幅は350μsで、リセットパルス幅はその2倍の700μsとした。しきい値電圧はこのセルでは34Vであったために、リセット電圧を35Vとした。信号電圧は18Vから30Vの間に変化させ、セルの透過率は印加電圧18Vから28Vまでの範囲に連続的に変化する。電圧強度を制御することで、液晶セルの透過率を制御できることを示した。

【0081】図6には、上記と同様に作製されたセルギャップが1.8μm、配向膜にSiO₂の蒸着方向が反平行

(11)

組み合わせによる階調制御方式：この実施例では、上記した1画素内階調方式（パルス電圧変調方式）と上記したタイムインデングレーション方式とを組み合わせる。この場合、1画素をスタースターライトデクスタス組織のような、電圧変調による超微細な白黒の割合の制御により透過率の制御を行うものにおいて、従来の面積階調の面積比に対応した透過率レベルを用いることにより、下記の表2に示すような階調法が達成できる。

【0105】すなわち、上記の表1の画素構成電極分割数を1画素の階調数を規定するn、画素構成電極面積比を1画素の非線形階調数 $n+1$ を与える最大整数 n とする。この場合、1画素の非線形階調数 $n+1$ を与える最大整数 n を1とすると、 $(n+1)^{n-1}$ とすることにより、画素電極を分割しなくても表2に示すように階調が達成されることが分かる。

【0107】

【表2】

表2 (A)

1画素内階調とタイムインデングレーションの組み合わせによる階調法

1画素の線形的な階調数 $\geq (m+1)^{n-1} + 1$ を与える最大整数 n あるいは 1画素の非線形的階調数の $n+1$ を与える最大整数 n									
1			2		3		...		n
透過率 比	階調数	透過率 比	階調数	透過率 比	階調数	透過率 比	階調数	透過率 比	階調数
1	1	2	1:2	4	1:2:4	8	1:2:4:...	2^{n-1}	2^n
2	1	3	1:3	9	1:3:9	27	1:3:9:...	3^{n-1}	3^n
3	1	4	1:4	16	1:4:16	64	1:4:16:...	4^{n-1}	4^n
4	1	5	1:5	25	1:5:25	125	1:5:25:...	5^{n-1}	5^n
5	1	6	1:6	36	1:6:36	216	1:6:36:...	6^{n-1}	6^n
6	1	7	1:7	49	1:7:49	343	1:7:49:...	7^{n-1}	7^n
7	1	8	1:8	64	1:8:64	512	1:8:64:...	8^{n-1}	8^n
:									
m	1	m+1	1: (m+1)	(m+1) ²	1:m+1: (m+1) ³	(m+1) ⁴	1:.....(m+1) ⁿ⁻¹		(m+1) ⁿ

【0108】

【表3】

表2 (B)

(12)

1画素内階調とタイムインデングレーションの組み合わせによる階調法

1画素の線形的な階調数 $\geq (m+1)^{n-1} + 1$ を与える最大整数 n あるいは 1画素の非線形的階調数 $n+1$ を与える最大整数 n						
アドレッシング回数	4		5		...	n
	透過率比	階調数	透過率比	階調数	透過率比	階調数
1	1:2:4:8	16	1:2:4:8:16	36	1:2:4:....:2 ⁿ⁻¹	2 ⁿ
2	1:3:9:27	81	1:3:9:27:81	243	1:3:9:....:3 ⁿ⁻¹	3 ⁿ
3	1:4:16:64	256	1:4:16:64:256	1024	1:4:16:....:4 ⁿ⁻¹	4 ⁿ
4	1:5:25:125	625	1:5:25:125:625	3125	1:5:25:....:5 ⁿ⁻¹	5 ⁿ
5	1:6:36:216	1296	1:6:36:216:1296	7776	1:6:36:....:6 ⁿ⁻¹	6 ⁿ
6	1:7:49:343		1:7:49:343		1:7:49:....:7 ⁿ⁻¹	7 ⁿ
7	1:8:64:512		1:8:64:512		1:8:64:....:8 ⁿ⁻¹	8 ⁿ
:						
m	1:m+1 ... :(m+1) ³	(m+1) ⁴	1:m+1... :(m+1) ⁿ	(m+1) ⁵	1:....:(m+1) ⁿ⁻¹	(m+1) ⁿ

【0109】なお、この階調法において、従来の強誘電性液晶材料（図30の特性のもの）を注入した場合には、しきい値が急峻なため、画素内階調が白黒の2階調となり、表2 (A) の $n=1$ に相当し、アドレッシング回数1回で2階調、2回のアドレッシングで3階調、3回のアドレッシングで4階調となり、一定の階調性は得られる。

【0110】実施例6

1画素内階調方式と画素電極分割方式との組み合わせによる階調制御方式：この組み合わせについては、1電極内でパルス電圧変調による階調を持った画素の画素面積を変えた画素から構成される組み合わせになる。

【0111】即ち、上記の表1のアドレッシング回数を1電極内での階調数に読み換えることにより、下記の表3に示すような階調が達成されることがわかる。例えば、スタースターライト組織を用いて1画素内で16階調での制御を行う場合、画素電極2分割で256階調、画素電極3分割で4096階調を実現できることになる。駆動制

制のマーキングを考慮し、1画素内で10階調での制御を行う場合、画素電極2分割で100階調、画素電極3分割で1000階調を実現できることになる。

【0112】さらに、駆動マーキングを設け、1画素内で8階調での制御を行う場合、画素電極を8:1の面積比に2分割すると、64階調（図28にその一部を示す）、さらに画素電極3分割で512階調を実現できることになる。さらに、駆動マーキングを設け、1画素内で6階調での制御を行う場合、画素電極2分割で36階調、画素電極3分割で216階調を実現できることになる。

【0113】すなわち、1画素内階調数を1とし、画素構成電極分割数をnとする時、画素構成電極面積比を1:n-1とすることにより、アドレッシング回数が1回でも階調数1nを得ることができる。

【0114】

【表4】

表3

(15)

【0125】そして、その基板上に $0.5\mu\text{m}$ の粒径のアルミナを、ソノコム製のスベータ散布機を用いて、 $1\mu\text{m}^2$ 中に散布密度として300個となるように散布した（これは、それ以上の散布密度にするためには、アルミナの微粒子が覆着を起してしまつたためである）。この基板の上にさらに、 $2\mu\text{m}$ のスベータを同じ散布機を用いて散布した。この散布密度は、 $25\text{個}/\mu\text{m}^2$ とした。

【0126】ここで、他方のガラス基板において、三井東圧製のストロークポンプをセル槽として用いて、基板の周辺部にスクリーン印刷機を用いて塗布した。そして、両者の基板を位置合わせした後、貼り合わせキヤップが $1.7\mu\text{m}$ に均一とれるまで、均一に圧力を加えた。その際、配向方向は、平行及び反平行の両方を作製した。その圧力は、 $1\text{kg}/\text{cm}^2$ であった。その貼り合わせ状態のまま、セルを温風式ヒータに入れ、 180°C に2時間置いて、シール剤を硬化させた。その後、キヤップを大塚電子製のセルキヤップ測定装置を用いて測定すると、 $1.7\mu\text{m}\pm 0.1\mu\text{m}$ にセル全体にわたってキヤップがコントロールされていることを確認した。

【0127】次に、このセルにメルク（株）製の強誘電性液晶組成物：ZL1-37775を 80°C で真空脱気後、アイソトロピック温度領域である 110°C に昇温し、真空中で注入した。この過程は、1.5時間要した。このセルを室温に徐冷した後、直交した偏光板の間に置き、顕微鏡下でその液晶分子配向性、および電気光学特性を測定した。

【0128】1）液晶分子配向について：

平行配向セル：図27に示すように、スベータのまわりが全体を黒の状態にしても、光もれを起してしており、そのことがセルのコントラストを低下させる主因となる黒レベルの低下を引き起こしていた。

【0129】また、強誘電性液晶は、複屈折モードでの表示であるために、セルキヤップは極めて均一に均質な厚みにコントロールされなければならない。しかしながら、 $0.5\mu\text{m}$ のアルミナを散布した近傍部分では、これがスベータとして作用し、最端のセルキヤップが非常に大きくなってしまつたために、色ムラが顕著に観察された。このことは、いまでもなく表示品位を大きく低下させる。このことは、スベータが可視光の波長に對して、十分な大きさをもつことによると考えられる。スベータ散布密度をいたずらに増やすことは、スベータの周りの光もれにより、コントラストを低下してしまい、やはり好ましくない。

【0130】しかしながら、本発明に基づくスクエーライトドクセラチャ構造は、上述した超微粒子の分散によるものであるから、光もれが低減し、また液晶の配向も乱すことなく、誘電率分布による有効電界分布を効果的に生ぜしめることができる。

【0131】反平行配向セル：液晶分子の配向デクスタヤとは、配向処理方向に μm オーダーの細かな構造

観察された。スベータのまわりが全体を黒の状態にして、光もれを起してしており、そのことがセルのコントラストを低下させる主因となる黒レベルの低下を引き起こしている。また、スベータの周りは、多くの欠陥が見られ、そのことが光もれの大きな原因であると考えられる。

【0132】2）電気光学効果について：

平行配向セル：パルス幅 1ms で電圧が 30V のリセットパルスをバイポーラで印加後、信号パルスとして、パルス幅 1ms で、 1V から 30V まで電圧を変化させ、そのときの透過率変化が通常の双安定モードの強誘電性液晶と異なるかどうかを調べた。

【0133】この結果、電圧を変化させて加えていくと、スベータの上の部分から液晶分子が動きはじめていくように、液晶の傾倒角下では見えず、スベータの上の部分では、液晶の分子配向は乱れており、決してユニフォームではない（全体が黒なら、輝点として観察され、全体が白ならば、黒い点として観察される。いずれの場合にも、コントラストを低下させる：図27参照）。

【0134】また、肝心の反転のスイッチングであるが、スベータ部分（及びその近傍）から反転が起ることがあり、また、他の部分から反転スイッチングがほとんどあり、また、他の部分から反転スイッチングがほとんど起こると観察された。即ち、必ずしも、スベータ部分及びその近傍部分から反転スイッチングが起るとは限らない。

【0135】更に、重要なことは、反転が起きてドメインが広がるが、その広がりが大きい値電圧幅をもつならば、スイッチング電圧幅をもたない値電圧幅ではない。しかし、結果的には、大きい値電圧の幅の広がりは、従来系に比較して殆ど見られなかった。即ち、この系での大きい値電圧幅は、 1V であった。また、電圧をD C的に変化させて、そのスイッチングのドメインの変化を検討した結果、典型的なポート型ドメインであり、また、層構造としては、chevron構造であることが確認された。セル全体のスイッチング特性としては、反転がスベータ部分及びその近傍から起きる場合もあるということであつて、通常のセルと同様のスイッチング特性であつた。従つて、一画素内階調表示というレベルのものでは、到底ありえないものであつた。

【0136】反平行配向セル：パルス幅 1ms で電圧が 30V のリセットパルスバイポーラで印加後、信号パルスとして、パルス幅 1ms で、 1V から 30V まで電圧を変化させ、そのときの透過率変化が通常の双安定モードの強誘電性液晶となるかどうかを調べた。

【0137】この結果、電圧を変化させて加えていくと、スベータの上の部分から液晶分子が動きはじめていくように、顕微鏡下では見えず、 μm オーダーの細かな、ラビング処理方向に出現した縞に沿つて、スイッチングが起こっていることが明らかになった。こでも、

(16)

スベータの上の部分では、液晶の分子配向は乱れており、決してユニフォームではない（図27参照）。

【0138】次に観察したのもとして、スベータの散布密度を変化させてその影響を検討した。その結果、スベータの散布密度が $0\sim 500\text{個}/\mu\text{m}^2$ のセルでは、セル全体としてのスイッチング特性は、上に述べた $300\text{個}/\mu\text{m}^2$ の場合と同様であることが、実験によって確認された。

【0139】次に、セルキヤップの変化として、平行配向の場合には、 $1.8\mu\text{m}$ 、 $1.5\mu\text{m}$ の中心値を持つもの（いずれの場合も、 $\pm 0.1\mu\text{m}$ の間にセルキヤップはコントロールしてある。）でも、全く同様のデバイス特性を示した。また、反平行セルにおいても、 $1.5\mu\text{m}$ 、 $1.8\mu\text{m}$ の中心値を持つものをさらに検討したが、結果は全く同様であつた。

【0140】以上をまとめると、本検討により、特開平3-270128号のディスプレイは、その実施例に忠実に追試実験を行った結果、階調表示技術として、同公報に述べられているような効果は得られず、実用的な技術ではないことが判明した。

【0141】以上、本発明を実施例について説明したが、上述した実施例は本発明の技術的思想に基いて更に変形が可能である。

【0142】例えば、上述した駆動方法のうち、1画素内階調をパルス電圧の変調以外にも、パルス幅の変調、或いはこれら両者の組み合わせによつても実現することができ、また、タイムインテグレーションにおけるアレキシングのタイミングや面電圧の分割数、分割形状等は様々に変化させてよい。

【0143】また、液晶の構造をはじめ、液晶素子の各構成部分の材質、構造、形状、組み立て方法、更には微細なマイクロドメインの形成に用いる超微粒子の物性、種類等は種々の変更することができ、また、超微粒子の添加方法も変更してよいし、その分布位置は液晶中のみならず、配向膜上、或いは配向膜中であつてもよい。また、マイクロドメインを形成するのに、上述以外の方法、例えばテトラチラフルバルレン-テトラシアノキニジメタン錯体等の電荷移動錯体の構築等も可能である。

【0144】なお、上述した実施例では、表示素子に好適な液晶素子について説明したが、表示素子では特に階調性（中間調）を実現できる点で好ましいものである。しかし、本発明は、表示素子に限らず、液晶素子をフィルムやシヤッター、OA機器のディスプレイ画面、スクリーンや、ウォプリンク用の位相制御素子等にも適用可能である。これらのいずれも、上述した大きい値電圧幅によつて駆動電圧に応じた透過率又はコントラスト比を示すことを利用して、従来にはない性能を得ることができるとする。

【0145】

【発明の作用効果】本発明は上述した如く、一対の基板

間に液晶が配されていく液晶素子において、前記液晶をスイッチングするための大きい値電圧の買入る領域が微細に分布していることを特徴とする液晶素子としている。特に、一つの画素内において、大きい値電圧（Vth）の買入る微細な領域（マイクロドメイン）の発現により、印加電圧の大きさに応じてマイクロドメインの透過率が比較的に速やかに変化することになる。そして、1つのドメイン内では、液晶分子が双安定であるメモリ機能を有し、フリッカーフリーな静止画像が実現でき、大きい値電圧の買入る μm オーダーのドメインから一画素が形成されていることから、高コントラストでアナログ的な連続階調表示が可能となる。

【0146】また、こうした液晶素子、特にパッシブマトリックス駆動可能な液晶ディスプレイにおいて、上述した各駆動方法（パルス電圧及び／又はパルス幅変調方式、面電圧分割方式又はタイムインテグレーション方式）を適用することによって、階調性を一層向上させることができ、かつ、大面積の液晶表示素子を低コストに実現し、そのフルカラービデオレートでの駆動も可能にするものである。また、上記の各駆動方式を組み合わせてするとき、上述の大きい値電圧の買入る微細領域を有してなくても、階調性を同様に発現することができるとする。

【図面の簡単な説明】

【図1】本発明に基づく液晶表示素子の概略平面図及び断面図である。

【図2】同液晶表示素子の使用時の概略断面図である。

【図3】同液晶表示素子の液晶の分子と偏光板との関係を示す概略図である。

【図4】同液晶表示素子の走査波形状図及び信号波形状図である。

【図5】同液晶表示素子の一例での印加電圧と透過率との関係を示す特性図である。

【図6】同液晶表示素子の他の例での印加電圧と透過率との関係を示す特性図である。

【図7】具体的な走査波形状図である。

【図8】具体的な信号波形状図である。

【図9】同波形状によって得られた表示パターン図である。

【図10】同液晶表示素子の大きい値電圧特性を示す透過率-印加電圧特性図である。

【図11】同液晶表示素子のスイッチング時の透過率の変化を説明するための概略図（A）であり、図例（B）は階調性のない場合の同様の概略図である。

【図12】同液晶表示素子の基本構造の概略断面図である。

【図13】同液晶表示素子の液晶中での有効電界を説明するための概略図である。

【図14】同液晶表示素子の基本構造を説明するための概略断面図である。

(17)

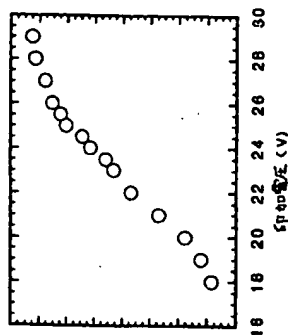
- 【図15】同液晶表示素子における画素電極の分割状態を示す概略拡大平面図である。
- 【図16】同画素電極の分割による階調性を示す概略平面図である。
- 【図17】同画素電極の分割パターンを示す概略平面図である。
- 【図18】タイムインテグレーション法による階調性を説明するための概略図である。
- 【図19】同タイムインテグレーションとスタラーライトデクスチャの組み合わせ例による階調性を示す概略平面図である。
- 【図20】同組み合わせ例における具体的な走査波形図である。
- 【図21】同組み合わせ例における具体的なデータ電圧(番号)波形図である。
- 【図22】同組み合わせ例によって得られた表示パターン図である。
- 【図23】画素電極の分割による階調性の具体例の概略図である。
- 【図24】同画素電極の他の分割方法による階調性を示す概略平面図である。
- 【図25】同分割方法とタイムインテグレーション法との

(18)

- 組み合わせによる階調性の具体例の概略図である。
- 【図26】同画素電極の画素内変調方式(パルス電圧変調方式)と同分割方法との組み合わせによる階調性を示す概略平面図である。
- 【図27】比較例による液晶表示素子の透過状態を説明するための概略図である。
- 【図28】従来の液晶表示素子の概略断面図である。
- 【図29】強誘電性液晶のモデル図である。
- 【図30】従来の液晶表示素子のしきい値電圧特性を示す透過率-印加電圧特性図である。
- 【符号の説明】

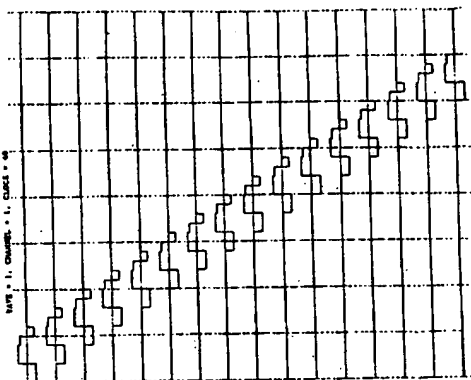
- 1a, 1b...基板
- 2a, 2b...透明電極層
- 3a, 3b...SiO₂材料蒸着層
- 4...スペーサ
- 5...液晶
- 6...シール剤
- 10...超微粒子
- V_{th}...しきい値電圧
- MD...マイクロドメイン
- D...ドメイン
- E_{eff}...有効電界

【図5】

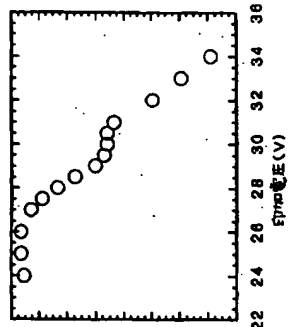


【図7】

走査線

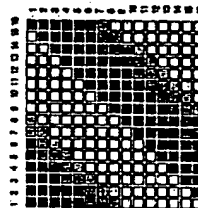


【図6】

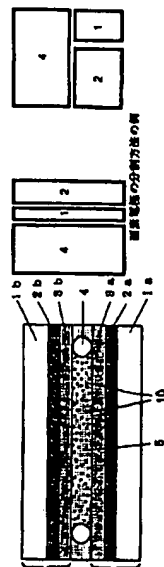


【図9】

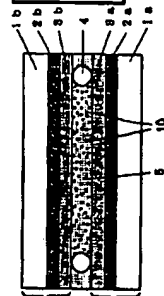
信号線



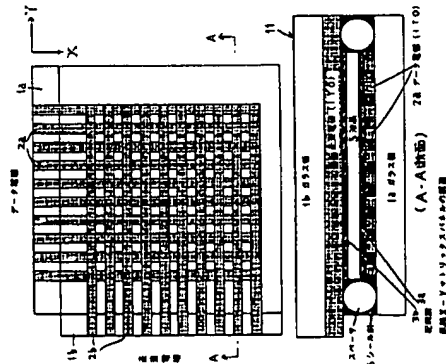
【図15】



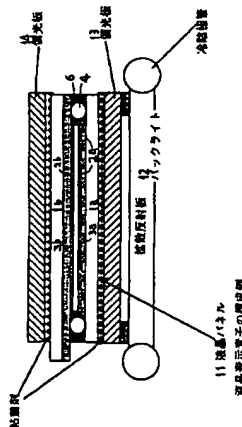
【図12】



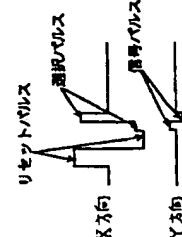
【図1】



【図2】



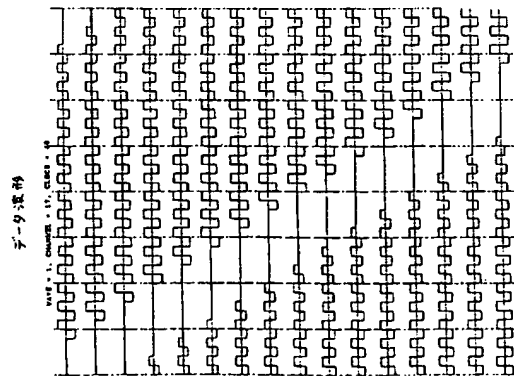
【図4】



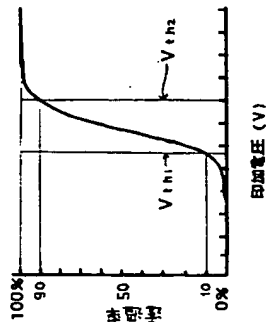
走査線および信号線の構成

(19)

【図8】



【図10】

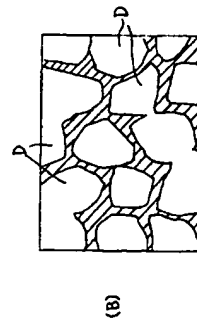
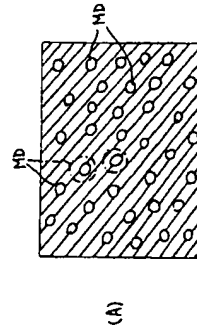


印刷電極濃度のしきい値特性

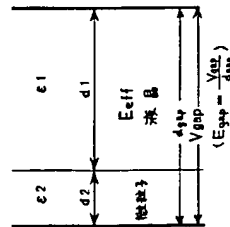
【図24】



【図11】



【図13】



$$d1 + d2 = d_{gap}$$
$$E_{eff} = \frac{\epsilon_2}{\epsilon_1 d_1 + \epsilon_2 d_2} \cdot V_{gap} \quad (1)$$

ε1: 液晶の誘電率

ε2: 添加する酸化物の誘電率

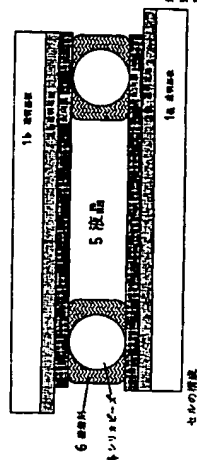
【図16】



3: 比の3分の1の場合の分布 (3分の1の場合の分布とも)

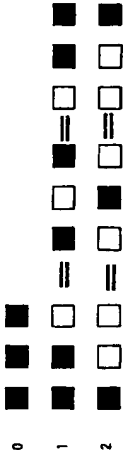
(20)

【図14】

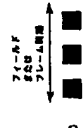


【図18】

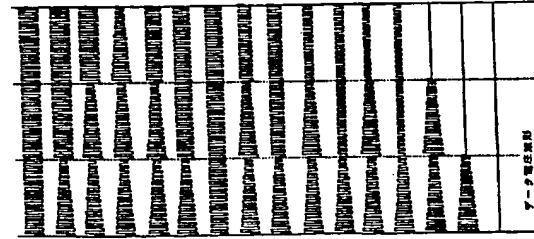
フイルド
セルは
フレーム周縁



【図19】



【図21】

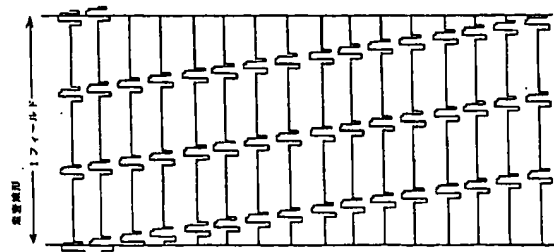


【図26】

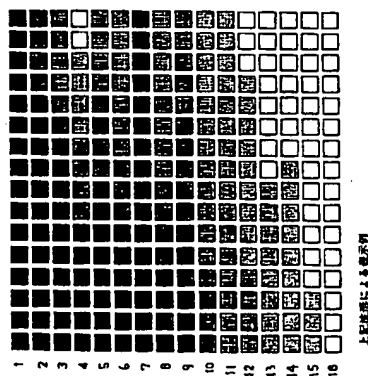


(21)

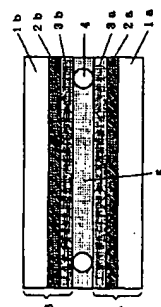
【図20】



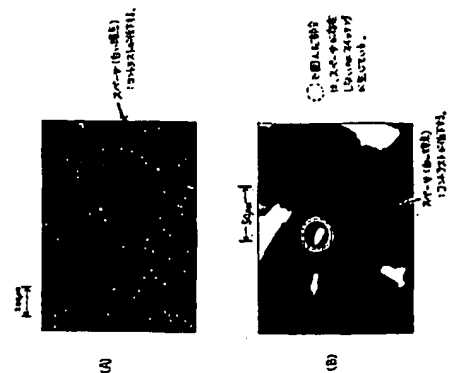
【図22】



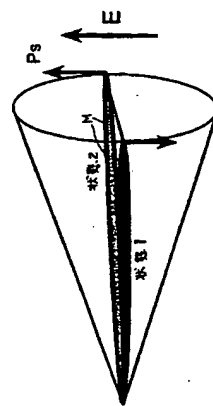
【図28】



【図27】



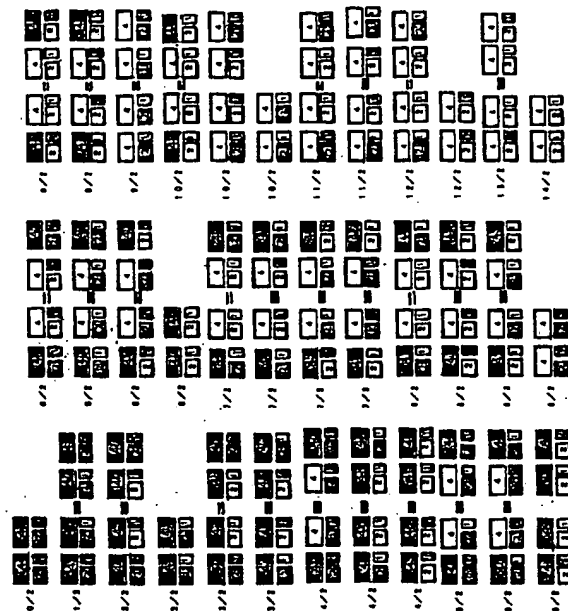
【図29】



液晶電性液晶のモデル

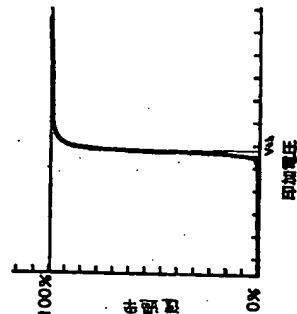
(22)

【図23】



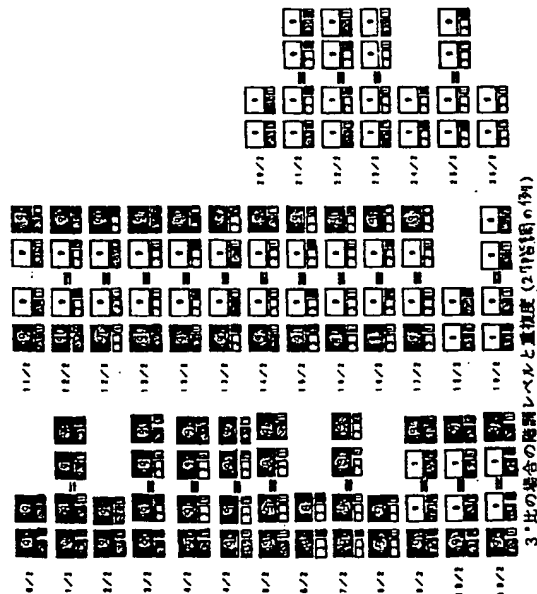
2. 上記の場合の階層レベルと重複度 (15°電圧の場合)

【図30】



(23)

(図25)



3×3の各々の階層レベルと重複度(2桁5桁の例)

フロントページの続き

(72)発明者 横 映保
東京都品川区北品川6丁目7番35号 ソニ
株式会社社内

Japanese Publication for Laid-Open Patent Application

No. 152017/1995 (Tokukaihei 7-152017)

A. Relevance of the Above-identified Publication

This publication has relevance to claims 1, 7, 15, 18 through 20 of the present invention.

B. Translation of the Relevant Passages of the Publication

[ABSTRACT]

See English translation attached herewith.

[CLAIMS]

1. A method for driving a liquid crystal element, comprising the step of:

in driving, by matrix driving, a liquid crystal element that is composed of a pair of substrate with liquid crystal provided therebetween, in which regions of different threshold voltages for switching the liquid crystal are finely distributed,

applying to a data electrode a data signal whose pulse voltage or a pulse width, or the both are modulated according to a gray level of a pixel, in synchronization with application of an addressing signal to a scanning electrode.

2. A method for driving a liquid crystal element, comprising the step of:

upon driving, by matrix driving, said liquid crystal element as set forth in claim 1,

dividing said data electrode constituting one pixel into a plurality of parts of different areas, and applying a combination of data signals according to a gray level of a pixel, to the plurality of divided data electrode parts, in synchronization with application of an addressing signal to a scanning electrode.

3. A method for driving a liquid crystal element, comprising the step of:

upon driving, by matrix driving, said liquid crystal element as set forth in claim 1,

repeating line addressing a plurality of times per one pixel in one frame or in one field, according to a gray level of a pixel.

4. A method for driving a liquid crystal element, wherein said method as set forth in claim 2 and said method as set forth in claim 3 are combined.

5. The method as set forth in claim 4, wherein, the number of divisions of said data electrode constituting

one pixel is given as n and the number of times of line addressing per one pixel in one frame or in one field is given as m , and a ratio of areas of the divisions of said data electrode is set to:

$$1:(m+1): \dots : (m+1)^{n-2}:(m+1)^{n-1}$$

6. A method for driving a liquid crystal element, wherein said method as set forth in claim 1 and said method as set forth in claim 3 are combined.

7. The method as set forth in claim 6, wherein, with a maximum integer n that satisfies that a number of linear gray levels of one pixel is not less than $(m+1)^{n-1}+1$ or that the number of non-linear gray levels of one pixel is not less than $n+1$, as well as with a number of times m of line addressing per one pixel in one frame or one field, a transmissivity ratio of one pixel is set to:

$$1:(m+1): \dots : (m+1)^{n-2}:(m+1)^{n-1}$$

[...]

[0042]

Furthermore, the present invention provides a method for driving a liquid crystal element by combining the aforementioned driving methods in accordance with the present invention. When this driving method with a

combination of the driving methods is applied, a structure of the aforementioned star light texture is preferable, but use of the same is not necessarily a requisition to obtain gray levels.

[0043]

More specifically, proposed is a gray-scale driving method using, as a combination of the driving method, a combination of the foregoing area gray-scale method in which the data electrode is divided and the aforementioned time integration gray-scale method.

[0044]

In the case of the foregoing gray-scale driving method, in the case where the number of divisions of said data electrode constituting one pixel is given as n and the number of times of line addressing per one pixel in one frame or in one field is given as m , a ratio of areas of the divisions of said data electrode is preferably set to:

$$1 : (m+1) : \dots : (m+1)^{n-2} : (m+1)^{n-1}$$

[0045]

Furthermore, another driving method proposed is a gray-scale driving method in which the aforementioned in-pixel gray level that is obtained by applying a pulse voltage corresponding to a gray level of a pixel or a data signal obtained by modulating a pulse width in

synchronization with application of an addressing signal to scanning electrodes and the aforementioned time integration gray-scale driving are combined.

[0046]

In the foregoing driving method, by combining with a maximum integer n that satisfies that a number of linear gray levels of one pixel is not less than $(m+1)^{n-1}+1$ or that the number of non-linear gray levels of one pixel is not less than $n+1$, and a number of times m of line addressing per one pixel in one frame or one field, a transmissivity ratio of one pixel is, for more surely obtaining gray levels, preferably set to:

$$1:(m+1): \dots : (m+1)^{n-2}:(m+1)^{n-1}$$

[0047]

Another driving method proposed is a gray-scale driving method in which combined are the aforementioned in-pixel gray level that is obtained by applying a pulse voltage corresponding to a gray level of a pixel and/or a data signal obtained by modulating a pulse width in synchronization with application of an addressing signal to scanning electrodes and the aforementioned area gray-scale driving in which a gray level is obtained by applying a pulse voltage to a combination of data electrodes corresponding to a gray level of a pixel in synchronization with application of the addressing signal

by changing the area ratio of a data electrode constituting the pixel.

[0048]

In this case, from the viewpoint of improvement of gray level exhibition, it is preferable to set the area ratio of the divisions of the data electrode to $1:1:\dots:1^{n-2}:1^{n-1}$, by combining the number, 1, of the gray level of one pixel according to a modulated data signal and the number n of divisions of data electrodes constituting one pixel.

[0049]

Still another driving method proposed is a gray-scale driving method in which combined are (i) the aforementioned in-pixel gray level that is obtained by applying a pulse voltage corresponding to a gray level of a pixel and/or a data signal obtained by modulating a pulse width in synchronization with application of an addressing signal to scanning electrodes, (ii) the aforementioned time integration gray-scale driving, and (iii) the aforementioned area gray-scale driving in which a gray level is obtained by applying a pulse voltage to a combination of data electrodes corresponding to a gray level of a pixel in synchronization with application of the addressing signal by changing the area ratio of a data electrode constituting the pixel.

[0050]

In the foregoing driving method, by combining with a maximum integer n that satisfies that a number of linear gray levels of one pixel that is obtained by combining a modulated data signal and division of the data electrode constituting one pixel is not less than $(m+1)^{n-1}+1$ or that the number of non-linear gray levels of one pixel is not less than $n+1$, and a number of times m of line addressing per one pixel in one frame or one field, a transmissivity ratio of one pixel is preferably set to:

$$1:(m+1): \dots : (m+1)^{n-2}:(m+1)^{n-1}$$

[0051]

Furthermore, in the present invention, full-color display can be executed by combination of the color filters or the color integration method with any one of the foregoing driving methods.

[0052]

More specifically, by combining color filters R, G, and B with pixels of a passive matrix liquid crystal display driven by the foregoing method, or by switching backlights of each color (R, G, B) at least once in one frame or in one field with respect to a passive matrix liquid crystal display (without color filters) driven by

- 8 -

the foregoing method, gray levels corresponding to respective colors can be selected.

Table 1
GRAY-SCALE METHOD BY COMBINATION OF AREA GRAY-SCALE AND TIME INTEGRATION

NUMBER OF TIMES OF ADDRESSING	NUMBER OF DIVISIONS OF PIXEL CONSTITUTTING ELECTRODE									
	1		2		3		...		n	
	AREA RATIO OF PIXEL- CONSTITUTTING ELECTRODE	NUMBER OF GRAY LEVELS	AREA RATIO OF PIXEL- CONSTITUTTING ELECTRODE	NUMBER OF GRAY LEVELS	AREA RATIO OF PIXEL- CONSTITUTTING ELECTRODE	NUMBER OF GRAY LEVELS			AREA RATIO OF PIXEL- CONSTITUTTING ELECTRODE	NUMBER OF GRAY LEVELS
1	1	2	1:2	4	1:2:4	8			1:2:4:...:2 ⁿ⁻¹	2 ⁿ
2	1	3	1:3	9	1:3:9	27			1:3:9:...:3 ⁿ⁻¹	3 ⁿ
3	1	4	1:4	16	1:4:16	64			1:4:16:...:4 ⁿ⁻¹	4 ⁿ
4	1	5	1:5	25	1:5:25	125			1:5:25:...:5 ⁿ⁻¹	5 ⁿ
...										
m	1	m+1	1:m+1	(m+1) ²	1:m+1:(m+1) ²	(m+1) ³			1:...:(m+1) ⁿ⁻¹	(m+1) ⁿ

Table 2(A)

GRAY-SCALE METHOD BY COMBINATION OF IN-PIXEL GRAY-SCALE AND TIME INTEGRATION

NUMBER OF TIMES OF ADDRESSING	MAXIMUM INTEGER n SATISFYING (LINEAR GRAY LEVELS OF ONE PIXEL) $\geq (m+1)^{n-1}+1$ OR MAXIMUM INTEGER n SATISFYING (NON-LINEAR GRAY LEVELS OF ONE PIXEL) $\geq n+1$									
	1		2		3		...	n		
	TRANSMISSIVITY RATIO	NUMBER OF GRAY LEVELS	TRANSMISSIVITY RATIO	NUMBER OF GRAY LEVELS	TRANSMISSIVITY RATIO	NUMBER OF GRAY LEVELS		TRANSMISSIVITY RATIO	NUMBER OF GRAY LEVELS	
1	1	2	1:2	4	1:2:4	8		1:2:4:...:2 ⁿ⁻¹	2 ⁿ	
2	1	3	1:3	9	1:3:9	27		1:3:9:...:3 ⁿ⁻¹	3 ⁿ	
3	1	4	1:4	16	1:4:16	64		1:4:16:...:4 ⁿ⁻¹	4 ⁿ	
4	1	5	1:5	25	1:5:25	125		1:5:25:...:5 ⁿ⁻¹	5 ⁿ	
5	1	6	1:6	36	1:6:36	216		1:6:36:...:6 ⁿ⁻¹	6 ⁿ	
6	1	7	1:7	49	1:7:49	343		1:7:49:...:7 ⁿ⁻¹	7 ⁿ	
7	1	8	1:8	64	1:8:64	512		1:8:64:...:8 ⁿ⁻¹	8 ⁿ	
...										
m	1	m+1	1:m+1	(m+1) ²	1:m+1:(m+1) ²	(m+1) ³		1:...:(m+1) ⁿ⁻¹	(m+1) ⁿ	

Table 2(B)

GRAY-SCALE METHOD BY COMBINATION OF IN-PIXEL GRAY-SCALE AND TIME INTEGRATION

NUMBER OF TIMES OF ADDRESSING	MAXIMUM INTEGER n SATISFYING (LINEAR GRAY LEVELS OF ONE PIXEL) $\geq (m+1)^{n-1}+1$ OR MAXIMUM INTEGER n SATISFYING (NON-LINEAR GRAY LEVELS OF ONE PIXEL) $\geq n+1$					
	4		5		...	n
	TRANSMISSIVITY RATIO	NUMBER OF GRAY LEVELS	TRANSMISSIVITY RATIO	NUMBER OF GRAY LEVELS	TRANSMISSIVITY RATIO	NUMBER OF GRAY LEVELS
1	1:2:4:8	16	1:2:4:8:16	36	1:2:4:....:2 ⁿ⁻¹	2 ⁿ
2	1:3:9:27	81	1:3:9:27:81	243	1:3:9:....:3 ⁿ⁻¹	3 ⁿ
3	1:4:16:64	256	1:4:16:64:256	1024	1:4:16:....:4 ⁿ⁻¹	4 ⁿ
4	1:5:25:125	625	1:5:25:125:625	3125	1:5:25:....:5 ⁿ⁻¹	5 ⁿ
5	1:6:36:216	1296	1:6:36:216:1296	7776	1:6:36:....:6 ⁿ⁻¹	6 ⁿ
6	1:7:49:343		1:7:49:343		1:7:49:....:7 ⁿ⁻¹	7 ⁿ
7	1:8:64:512		1:8:64:512		1:8:64:....:8 ⁿ⁻¹	8 ⁿ
...						
m	1:m+1:....:(m+1) ³	(m+1) ⁴	1:m+1:....:(m+1) ⁴	(m+1) ⁵	1:....:(m+1) ⁿ⁻¹	(m+1) ⁿ

Table 3

GRADATION METHOD BY COMBINATION OF PIXEL ELECTRODE DIVISION AREA GRADATION AND IN-PIXEL GRADATION (PULSE VOLTAGE OR PULSE WIDTH MODULATION)

NUMBER OF GRAY LEVELS IN ONE PIXEL	NUMBER OF DIVISIONS OF PIXEL-CONSTITUTING ELECTRODE									
	1		2		3		...	n		
	AREA RATIO OF PIXEL-CONSTITUTING ELECTRODE	NUMBER OF GRAY LEVELS	AREA RATIO OF PIXEL-CONSTITUTING ELECTRODE	NUMBER OF GRAY LEVELS	AREA RATIO OF PIXEL-CONSTITUTING ELECTRODE	NUMBER OF GRAY LEVELS		AREA RATIO OF PIXEL-CONSTITUTING ELECTRODE	NUMBER OF GRAY LEVELS	
2	1	2	1:2	4	1:2:4	8		1:2:4:...:2 ⁿ⁻¹	2 ⁿ	
3	1	3	1:3	9	1:3:9	27		1:3:9:...:3 ⁿ⁻¹	3 ⁿ	
4	1	4	1:4	16	1:4:16	64		1:4:16:...:4 ⁿ⁻¹	4 ⁿ	
5	1	5	1:5	25	1:5:25	125		1:5:25:...:5 ⁿ⁻¹	5 ⁿ	
6	1	6	1:6	36	1:6:36	216		1:6:36:...:6 ⁿ⁻¹	6 ⁿ	
7	1	7	1:7	49	1:7:49	343		1:7:49:...:7 ⁿ⁻¹	7 ⁿ	
8	1	8	1:8	64	1:8:64	512		1:8:64:...:8 ⁿ⁻¹	8 ⁿ	
....										
16	1		1:16	256	1:16:256	4096		1:16:...:16 ⁿ⁻¹	16 ⁿ	
...										
ℓ	1	ℓ	1:ℓ	ℓ ²	1:ℓ:ℓ ²	ℓ ³		1:...:ℓ ⁿ⁻¹	ℓ ⁿ	

Table 4
GRADATION METHOD BY COMBINATION OF IN-PIXEL GRADATION, PIXEL ELECTRODE DIVISION, AND TIME
INTEGRATION

NUMBER OF TIMES OF ADDRESSING	MAXIMUM INTEGER n SATISFYING (LINEAR GRAY LEVELS OF IN-PIXEL GRADATION AND PIXEL ELECTRODE DIVISION) $\geq (m+1)^{n-1}+1$ OR MAXIMUM INTEGER n SATISFYING (NON-LINEAR GRAY LEVELS OF ONE PIXEL) $\geq n+1$									
	1		2		3		...		n	
	TRANSMIS- SIVITY RATIO	NUMBER OF GRAY LEVELS	TRANSMIS- SIVITY RATIO	NUMBER OF GRAY LEVELS	TRANSMIS- SIVITY RATIO	NUMBER OF GRAY LEVELS	TRANSMIS- SIVITY RATIO	NUMBER OF GRAY LEVELS	TRANSMISSIVITY RATIO	NUMBER OF GRAY LEVELS
1	1	2	1:2	4	1:2:4	8	1:2:4:8	8	1:2:4:...:2 ⁿ⁻¹	2 ⁿ
2	1	3	1:3	9	1:3:9	27	1:3:9:27	27	1:3:9:...:3 ⁿ⁻¹	3 ⁿ
3	1	4	1:4	16	1:4:16	64	1:4:16:64	64	1:4:16:...:4 ⁿ⁻¹	4 ⁿ
4	1	5	1:5	25	1:5:25	125	1:5:25:125	125	1:5:25:...:5 ⁿ⁻¹	5 ⁿ
...										
m	1	m+1	1:m+1	(m+1) ²	1:m+1: (m+1) ²	(m+1) ³	1:m+1: (m+1) ² : (m+1) ³	(m+1) ⁴	1:...:(m+1) ⁿ⁻¹	(m+1) ⁿ

THIS PAGE BLANK (USE)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

1900-1901
 1902-1903